

Partial translation of Japanese published examined application 58-132791

what is claimed is

1. A matrix display device comprising:

a display panel in which display objects are disposed between row electrodes and column electrodes, pixels are formed in intersection parts of the row electrodes and the column electrodes, and therefore the pixels consist of I rows and J columns in matrix as a whole;

a row driver circuit in which selection signals, in which the row electrodes corresponding to the pixels of n rows ($2 \leq n \leq I/2$) are simultaneously selected for a certain period, is applied to the row electrodes;

one refresh memory memorized an image data corresponding to at least one screen;

a writing circuit written the image data in the refresh memory;

a reading circuit read out the image data corresponding to the pixels of the n rows from the refresh memory for the certain period; and

a column driver circuit which applies display signals to the column electrodes based on the image data read out from the reading circuit.

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat
(c) 2004 EPO. All rts. reserv.

4311569

Basic Patent (No,Kind,Date): JP 58132791 A2 830808 <No. of Patents: 002>

MATRIX DISPLAY (English)

Patent Assignee: HITACHI LTD

Author (Inventor): KOUSAKA MASAHIRO; HANMURA HISAO

IPC: *G09G-003/20;

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date	
JP 58132791	A2	830808	JP 8214914	A	820203	(BASIC)
JP 93040318	B4	930617	JP 8214914	A	820203	

Priority Data (No,Kind,Date):

JP 8214914 A 820203

?

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭58—132791

⑤ Int. Cl.³
G 09 G 3/20

識別記号

庁内整理番号
6453—5C

⑬ 公開 昭和58年(1983)8月8日

発明の数 1
審査請求 未請求

(全 7 頁)

⑭ マトリクス表示装置

⑯ 特 願 昭57—14914
⑰ 出 願 昭57(1982)2月3日
⑱ 発 明 者 高坂雅博
日立市幸町3丁目1番1号株式
会社日立製作所日立研究所内

⑲ 発 明 者 半村久雄
日立市幸町3丁目1番1号株式
会社日立製作所日立研究所内
⑳ 出 願 人 株式会社日立製作所
東京都千代田区丸の内1丁目5
番1号
㉑ 代 理 人 弁理士 高橋明夫

明 細 書

発明の名称 マトリクス表示装置

特許請求の範囲

1. 行電極と列電極との間に表示体を設け、行電極と列電極との交差部に画素が形成され、全体として上記画素がI行、J列のマトリクス状をなす表示パネル、 \square 行 ($2 \leq \square \leq I/2$) の上記画素に対応する上記行電極を一定期間に同時に選択する選択信号を上記行電極に印加する行駆動回路、少なくとも1画面分の画像データを記憶する1個のリフレッシュメモリ、該リフレッシュメモリに上記画像データを書き込む書き込み回路、上記 \square 行の画素に対応する上記画像データを上記一定期間に上記リフレッシュメモリから読み出す読み出し回路、上記読み出し回路から読み出された画像データに基づいて上記列電極に表示信号を印加する列駆動回路、よりなることを特徴とするマトリクス表示装置。

2. 特許請求の範囲第1項に於いて、表示体は液晶であることを特徴とするマトリクス表示装置。

3. 特許請求の範囲第1項または第2項に於いて、

上記読み出し回路は、 \square 個のアドレス発生回路と、上記一定期間に上記 \square 個のアドレス発生回路のうち一つを順次選択するアドレス切替回路とからなることを特徴とするマトリクス表示装置。

4. 特許請求の範囲第1項、第2項、または第3項に於いて、上記行駆動回路は、上記I行J列の画素を、1行目からI/ \square 行目まで、 $((I/\square) + 1)$ 行目から2I/ \square 行目まで、……、 $((\square - 1)I/\square + 1)$ 行目からI行目までからなる \square 個のグループに分割し、各グループの任意の一行の画素に対応する上記行電極を一定の期間に同時に選択することを特徴とするマトリクス表示装置。

発明の詳細な説明

本発明はマトリクス表示装置に係り、特に多重マトリクス表示装置の画像データの読み出し回路に関する。

第1図は、液晶表示装置の原理を示すもので、上下のガラス基板1および1'に形成された透明電極2および2'に交流電圧を印加すると、両基

板間に薄く封入された表示体である液晶層3が励起して、光の透過状態が変化して表示するものである。液晶マトリクス表示装置では、この透明電極2および2'をマトリクス状に形成し、この交点の液晶に印加する実効電圧の大小によつて表示するものである。この実効電圧と光の透過量の関係は、第2図の様になつており、通常 V_{ns} と V_s の電圧の差で表示する。

第3図に、2行、3列の画素を表示するマトリクス表示装置を示す。

第3図によつて、斜線に示す部分の画素を表示する場合について、具体的な回路動作を説明する。ここで横長の走査電極を行電極 X_1, X_2 、縦長の信号電極を列電極 Y_1, Y_2, Y_3 と呼ぶ。

4はメモリ駆動回路、5はRAMよりなるリフレッシュメモリ、8は行駆動回路であり、列駆動回路100は、1行分のデータを記憶する直列-並列信号変換形のラインメモリ6及びマルチプレクサ7より構成される。

画像データ D_i を入力として、リフレッシュメ

モリ5にはメモリ駆動回路4によつて、表示パネル9の行電極と列電極の交叉部に形成される画素 $(1, 1), (1, 2), \dots (2, 2), (2, 3)$ に対応する1フレーム期間中の画像データ $D_1, D_2, \dots D_i$ が記憶される。走査の第1行目のときには、画像データ D_1, D_2, D_3 がラインメモリ6に入力され、マルチプレクサ7によつて得られる第4図に示す様な波形の表示信号 V_r を印加する。行駆動回路8で発生する信号 V_x は、画像データ D_i に基づいて第4図に示す様に選択される行電極に印加する信号は V_{xi} 、選択されない列電極に印加する信号は V_{xs} である。行電極が選択されるときの画素に印加される電圧 $V_x - V_r$ の大きさ、即ち画素の明るさは、表示信号 V_r の T_A/T_B の比によつて決定する。例えば、 $T_A = T_B$ の場合、最大となり、 $T_A = 0$ の場合最小となる。従つて、 T_A/T_B の比を制御することによつてマトリクス表示装置の中間調表示が可能となる。

例えば、画素の明るさが2状態だけで第3図の

斜線部の画素 $(1, 1), (1, 2), (2, 2)$ の明るさが最大であり、白部の画素 $(1, 3), (2, 1), (2, 3)$ の明るさが最小と仮定した場合の、 X_1, X_2, Y_1 に印加される電圧 V_{x1}, V_{x2}, V_{r1} を第5図(a), (b), (c)に示す。ここで、 T はフレーム周期である。従つて、斜線部の画素 $(1, 1)$ には第5図(d)の電圧が印加され、白部の画素 $(2, 1)$ には第5図(e)の電圧が印加され、斜線部電圧 $V_s > 白部電圧 V_{ns}$ となり、所定の表示が得られる。このときの液晶印加電圧の実効電圧値は、第5図から明らかなように、行電極のフレーム周期 T の関数で表わされる。

ところで、マトリクス表示装置の解析度、明るさ、コントラストを向上させるための一手段として、第6図に示すように、表示画面を中央から2分割し、2行の画素を同時に選択する方法が用いられる。

第6図に於いて、第3図と同一符号は同一物または相当物を示す。20は2分割表示パネルで、図から判るように、パネル20の中央でI行J列

画素を、1行目から $I/2$ 行目、 $\{(I/2)+1\}$ 行目からI行目の2つのグループに分割し、1行目と $\{(I/2)+1\}$ 行目、2行目と $\{(I/2)+2\}$ 行目、 $\dots I/2$ 行目とI行目の画素に対応する行電極を一定の期間に同時に選択する。ここで、一定の期間とは、フレーム周期を T とした場合、 $T / (\frac{I}{2})$ である。12aは画素 $(1, 1) \dots (I/2, J)$ に対応する画像データ $D = \{D(1, 1), \dots D(I/2, J)\}$ を記憶するリフレッシュメモリ、12bは画素 $(I/2+1, 1), \dots (I, J)$ に対応する画像データ $D_s = \{D(I/2+1, 1), \dots D(I, J)\}$ を記憶するリフレッシュメモリである。10は画像データ D_i を順次リフレッシュメモリ12a, 12bに書き込むアドレスを発生し、画像データ D_i を書込む書き込み回路、11は画像データ D_s を順次リフレッシュメモリ12a, 12bから読み出すアドレスを発生し、画像データ D_s を読み出す読み出し回路である。

しかし、この方法では、リフレッシュメモリ数が2チップ必要で、周辺回路の小形化が図れない

という欠点がある。

また、リフレッシュメモリに画像データを蓄込むときに、表示画面の分割位置を判断して蓄込まなければならない。従つて、マトリクス表示装置に画像データ D_i を入力する外部回路(コンピュータ等)にその判断機能を持たせなければならない。マトリクス表示装置の汎用性が小さくなるという欠点がある。

さらに、画面を平行移動させる等のスクロール表示機能を付加するような場合には、第7図のリフレッシュメモリ12a, 12bの画像データ配列図に示すように、一方のリフレッシュメモリ12aにも他の分割画面と同じ画像データ $(I/2+1)$, $(I/2+2)$, ……を格納しておかなければならないので、リフレッシュメモリの画像データ格納スペースが無駄になるという欠点が生ずる。

本発明の目的は、上記欠点を除去し、複数行の画面を同時に選択するマトリクス表示装置に於いて、リフレッシュメモリ数を1チップ化することにより、周辺回路が小形化でき、さらにスクロー

ル表示機能等リフレッシュメモリの画像データの管理を簡単化でき、かつ汎用性の大きいマトリクス表示装置を提供するにある。

上記目的を達成する本発明の特徴とするところは、リフレッシュメモリの数を一個にして、読み出し回路によつて、 n 行($2 \leq n \leq I/2$)の画面に対応する画像データを一定期間にリフレッシュメモリから読み出すことにある。

本発明の好ましい実施態様を述べると、読み出し回路は、 n 個のアドレス発生回路と、これらの出力のうちの一つを順次選択するアドレス切替回路とからなることである。

以下、第8図、第9図および第10図を用いて、本発明の第1実施例の構成および動作について詳細に説明する。

表示装置の構成を第4図に示す。

第8図において、11は読み出し回路で、内部にアドレス初期値設定回路21aおよび21b、アドレス発生回路22aおよび22b、タイミングクロック発生回路112、アドレス切替回路

111を有している。また、12はリフレッシュメモリで、第9図(a)に示す様に画像データ D_i を1画面分以上格納できるメモリである。10はリフレッシュメモリ12に画像データ D_i を書込む書き込み回路である。また、20が2分割表示パネルで、その周辺に第6図の従来例同様、100aおよび100bが列駆動回路、8が行駆動回路である。

アドレス発生回路22a, 22bの具体的な回路構成例を示すと第9図(b)のようになる。この回路は、通常用いている1チップ構成の4ビット、16進カウンタ回路221およびゲート回路222によつて構成され、第9図(c)のような回路動作を行なう。

次にこの構成の表示装置の動作を第10図のタイミングチャートを用いて説明する。ここでは、説明の煩雑さを避けるため、1アドレス1ビット出力のメモリを用いたものとして説明する。また、第10図は、1ライン周期について示したものである。

同図(a)は、2個のアドレス発生回路22aおよび22bに印加するクロックで、このクロックによりアドレス発生回路22aおよび22bから(b)および(c)で示したアドレス出力が発生する。ここでは、これらのアドレス出力をそれぞれ $a_1, a_2, \dots, a_{\frac{I}{2}}, a_1, a_2, \dots, a_{\frac{I}{2}}$ としている。この2つのアドレス出力(b), (c)は、アドレス切替回路111に印加し、アドレス切替パルス(d)により、(e)に示す信号に変換される。この信号は、アドレス周期 T_A を2分して、前半で a_1, a_2, \dots 、後半で $a_{\frac{I}{2}}, a_1, a_2, \dots$ とする信号で、この信号(e)が、リフレッシュメモリ12のアドレスとして入力される。したがつて、これとほぼ同じタイミングでリフレッシュメモリ12から画像データ信号 D_1, D_2 が $D(1, 1), D(\frac{I}{2}+1), D(1, 2), D(\frac{I}{2}+2), \dots$ の順序で(f)のように出力される。

(g)および(h)は、列駆動回路100a, 100bのデータ転送クロックである。これらのクロックは、図示のタイミングでそれぞれ印加されるので、(g)により、列駆動回路100aには画像データ D_i (D

(1, 1), D(1, 2), ……} が転送され、(h)により列駆動回路100bには画像データD、 $(D(\frac{I}{2}+1, 1), D(\frac{I}{2}+1, 2), ……)$ が転送される。列駆動回路内のラインメモリ6a, 6bにデータが転送される状態を示したのが(i)および(ii)である。

各列駆動回路100a, 100bに転送された画像データD、D_hは、画面の1行分の画像データが転送終了すると、(h)のクロックによりラッチされ、第4図、第5図に示した様な表示に適した表示信号V_rに変換されて、次の1ライン周期の間出力する。これと同時に駆動回路8の出力信号は、画面の1行目と $(\frac{I}{2}+1)$ 行目に対応する行電極を選択するような選択信号V_rとなる。

以下、画面の2行目と $(\frac{I}{2}+2)$ 行目、3行目と $(\frac{I}{2}+3)$ 行目、……を順次選択し画面の $\frac{I}{2}$ 行目とI行目が終了すると、再び画面の1行目と $(\frac{I}{2}+1)$ 行目に戻り、この動作を繰り返す。

第8図に示した回路構成で、第10図のような動作を行なわせることによつてリフレッシュメモリ12を1チップにすることができる。

持たせる必要がなく、マトリクス表示装置の汎用性が大きくなる。

第11図は本発明を反転2分割マトリクス表示装置に適用した第2の実施例であり、第12図は第11図のタイミングチャートであり、第9図、第10図と同一記号は同一物及び相当物を示す。

本実施例では、表示パネル201は反転2分割表示パネルであり、表示パネル201と駆動回路8との配線が第1の実施例とは異なり、1行目とI行目、2行目と $(I-1)$ 行目、…… $I/2$ 行目と $\{(I/2)+1\}$ 行目の画面に対応する行電極を同時に選択する。従つて、第12図に示す様に、アドレス出力(c)が、画面(I, 1), (I, 2) …… (I, J), (I-1, 1), (I-1, 2), …… (I-1, J), …… $(\frac{I}{2}+1, 1), …… (\frac{I}{2}+1, J)$ に対応するものになる。

第13図は本発明を4分割マトリクス表示装置に適用した第3の実施例であり、表示パネル202は4分割表示パネルであり、これに対応して、アドレス発生回路22a~22dも4個となる。基

また第9図から判るように、リフレッシュメモリ12内に記憶された画像データは、表示画面に対応して順序よく格納され、従来例のように、リフレッシュメモリを2チップに分割しかつ、表示画面の上下に分割して書き込む必要がない。従つて、リフレッシュメモリ12への画像データの書き込みが複雑にならない。

また、画面のスクロール動作時に於いても、アドレスの初期設定値をシフトするだけで、容易にスクロール動作を行なうことが可能となる。

さらに、表示パネル20が2分割表示パネルであり、同時に選択する行の画面に対応する行電極が順次、一行ずつずれるだけであるので、リフレッシュメモリ12の読み出しアドレスを一つずつ増やせば良いので、アドレス発生回路22a, 22bの回路構成が簡単になる。

また、リフレッシュメモリ12への書き込みは、単に、少なくとも一画面分の画像データを書き込めば良く、マトリクス表示装置に画像データD₁を入力する外部回路に、従来例の様な判断機能を

本的な動作は、第1, 第2の実施例と同様であるので、省略する。

第14図は本発明を2重マトリクス表示装置に適用した第4の実施例である。表示パネル203は、1行目と2行目、…… $(I-1)$ 行目とI行目の画面に対応する行電極を同時に選択する2重表示パネルである。これに対応して、アドレス初期値設定回路21a, 21bによるアドレス初期値をそれぞれ、a₁, a₂として、アドレス発生回路22a, 22bによつて、読み出しアドレスを2つずつ増加させる。その他の動作は第1の実施例と同じである。

第15図は本発明を反転2重パネル204に適用した第5の実施例である。

本発明の第1, 第2, 第4, 第5の実施例では、同時に選択する画面の行数は2行であり、第3の実施例では4行であるが、これに限定することなく、一般的な、 \square 分割マトリクス表示装置、反転 \square 分割マトリクス表示装置、 \square 重マトリクス表示装置、反転 \square 重マトリクス表示装置($\square \geq 2$)

等に本発明が適用できる。また、表示パネルを複数層重ね合わせた多層構造のマトリクス表示装置にも本発明は適用できる。

本発明の第1～第5の実施例では、説明の便宜上、1アドレス1ビット出力のメモリを用いて説明したが、複数ビット出力、例えば8ビット出力のメモリを用いた場合でも、第¹⁶図に示したような方法により、上述の実施例と全く同じ効果を得ることができる。第16図は本発明の第6の実施例であり、リフレツシユメモリ12と、列駆動回路100a, 100bの間に並列直列変換回路30を介在せしめた回路構成を示しており、また、第17図は、それに必要なクロックのタイミングを示したものである。第16図のその他の回路等は第8図に示す第1の実施例と同一である。第17図における(1)は、並列直列変換回路30のシフトクロックとして、(g')および(h')は、列駆動回路100aおよび100bのデータ転送クロックとして用いる。したがって(g')により、列駆動回路100aには、上面面の画像データが転送され、(h')により、

列駆動回路100bには下面面の画像データが転送される。なお、(f)は、リフレツシユメモリ出力の8ビット信号である。

また、本発明は液晶に限らず他の表示体、例えば、エレクトロルミネツセンス、プラズマディスプレイ等の表示体にも適用できる。

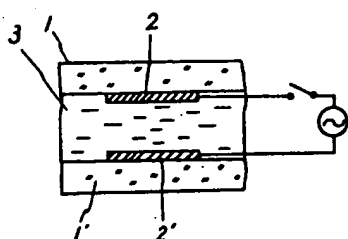
本発明によれば、リフレツシユメモリのチップ数を1個にできるので周辺回路の小形化および低価格化が図れる。また、表示画面に対応して、リフレツシユメモリへのデータ書き込みが連続的に行なえ、また、スクロール表示が可能となり、リフレツシユメモリ内の画像データの管理が簡単になり、かつ汎用性が大きくなる。

図面の簡単な説明

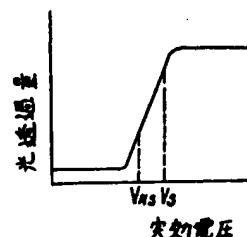
第1図は液晶表示装置の原理説明図、第2図は液晶の印加電圧と光透過量の関係を示す図、第3図は従来例である単純マトリクス表示装置の構成図、第4図および第5図は液晶マトリクス表示装置の駆動波形の一例を示す図、第6図は従来例である2分割マトリクス表示装置の構成図、第7図

は第6図に於けるリフレツシユメモリ12a, 12bの一例を示す図、第8図は本発明の第1の実施例である2分割マトリクス表示装置の構成図、第9図は第8図に於けるリフレツシユメモリ12及びアドレス発生回路の一例を示す図、第10図は第8図の動作タイミングチャート、第11図は本発明の第2の実施例である反転2分割マトリクス表示装置の構成図、第12図は第11図の動作タイミングチャート、第13図は本発明の第3の実施例である4分割マトリクス表示装置の構成図、第14図は本発明の第4の実施例である2重マトリクス表示装置の構成図、第15図は本発明の第5の実施例である反転2重マトリクス表示装置の構成図、第16図は本発明の第6の実施例である2分割マトリクス表示装置の構成図、第17図は第16図の動作タイミングチャートである。10…書き込み回路、11…読み出し回路、12…リフレツシユメモリ、20…表示パネル、22…アドレス発生回路、8…行駆動回路、100…列駆動回路。

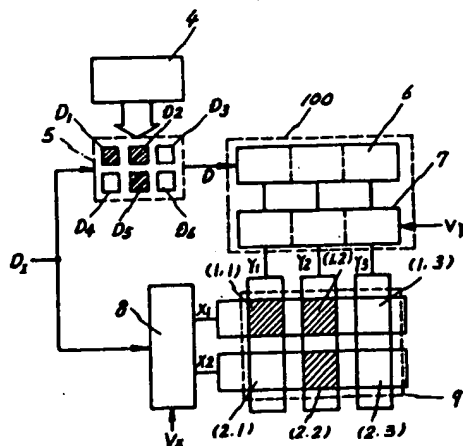
第1図



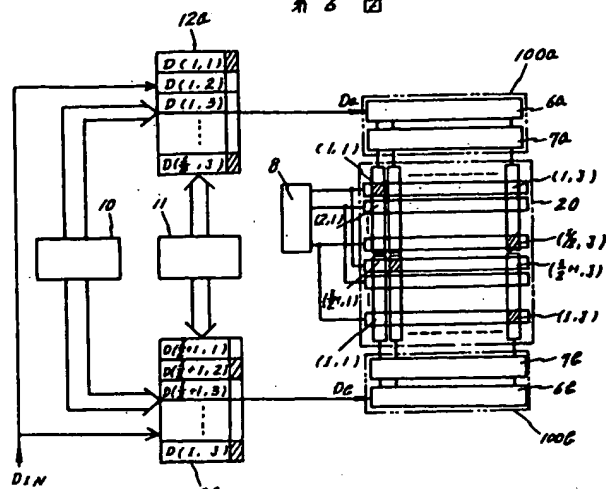
第2図



第3図



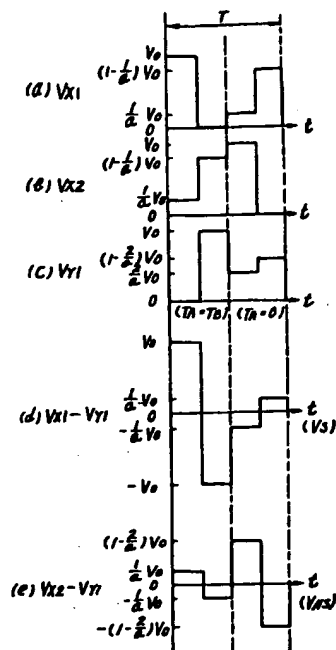
第 6 図



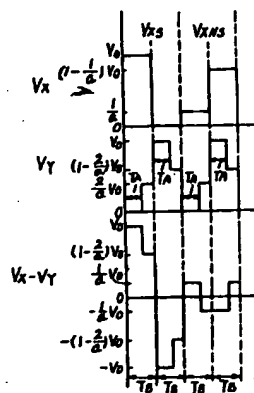
第 7 図

12a		12c	
7F12	番地 7'-9	7F12	番地 7'-9
a1	D(1,1)	a1	D(1,1)
a2	D(1,2)	a2	D(1,2)
a3	D(1,3)	a3	D(1,3)
a4	D(1,4)	a4	D(1,4)
a5	D(1,5)	a5	D(1,5)
a6	D(1,6)	a6	D(1,6)
a7	D(1,7)	a7	D(1,7)
a8	D(1,8)	a8	D(1,8)
a9	D(1,9)	a9	D(1,9)

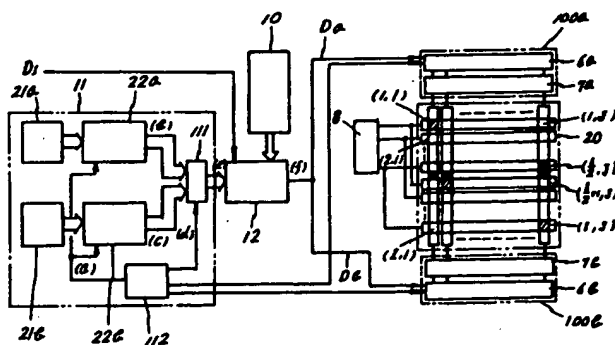
第 5 図



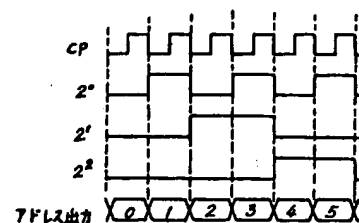
第 4 図



第 8 図

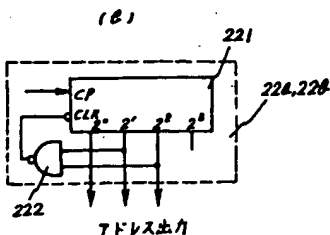


第 9 図 (c)

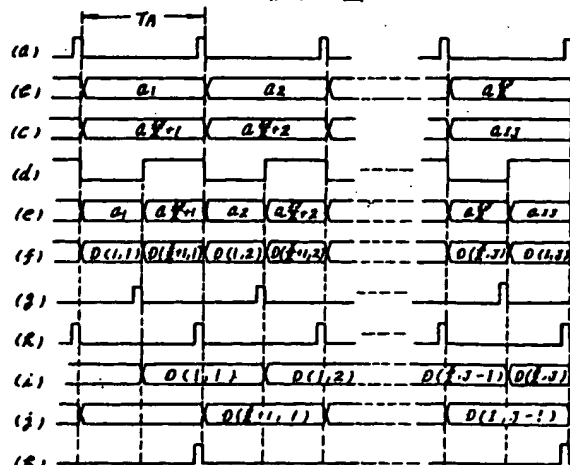


第 9 図

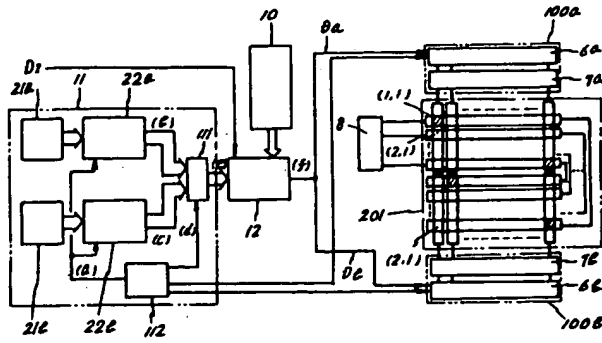
7F12		番地 7'-9	
a1	D(1,1)	a1	D(1,1)
a2	D(1,2)	a2	D(1,2)
a3	D(1,3)	a3	D(1,3)
a4	D(1,4)	a4	D(1,4)
a5	D(1,5)	a5	D(1,5)
a6	D(1,6)	a6	D(1,6)
a7	D(1,7)	a7	D(1,7)
a8	D(1,8)	a8	D(1,8)
a9	D(1,9)	a9	D(1,9)



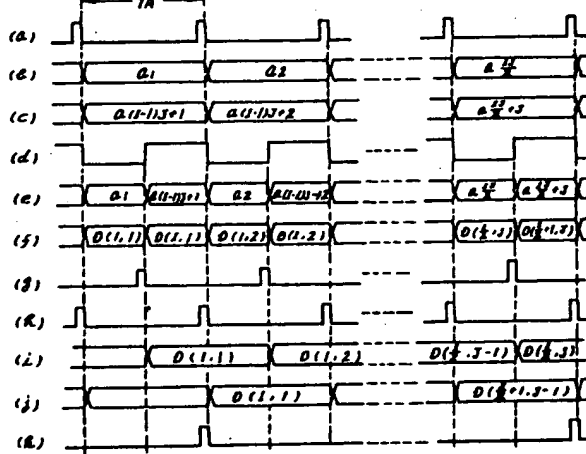
第 10 図



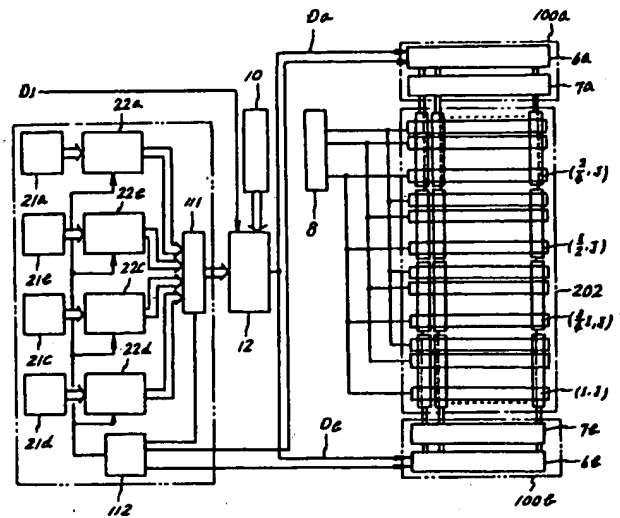
第 11 図



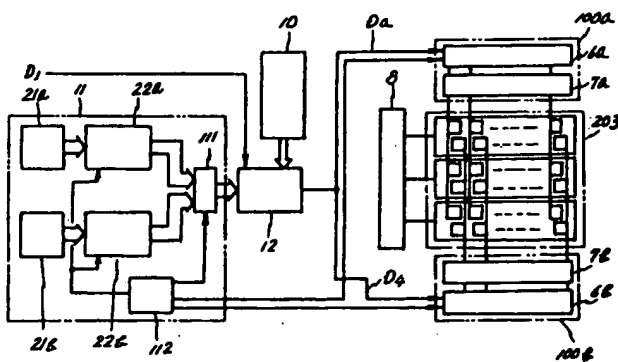
第 12 図



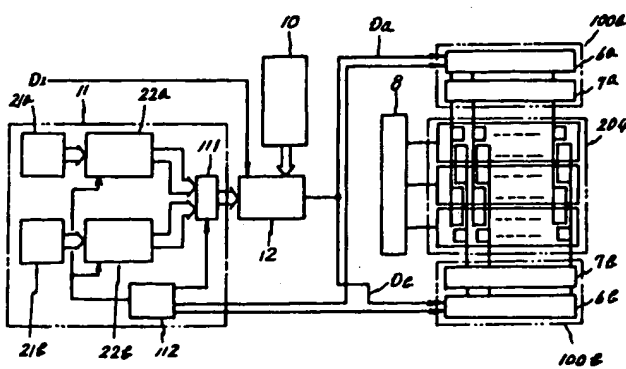
第 13 図



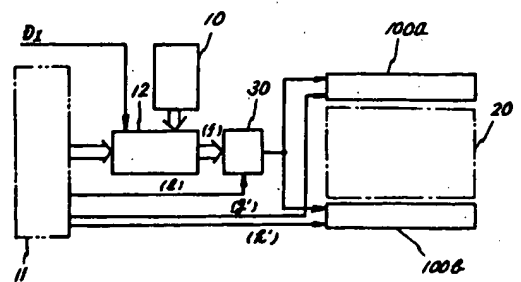
第 14 図



第 15 図



第 16 図



第 17 図

